

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-292639
(43)Date of publication of application : 04.12.1990

(51)Int.Cl. G06F 11/30
G06F 1/24
G06F 11/14

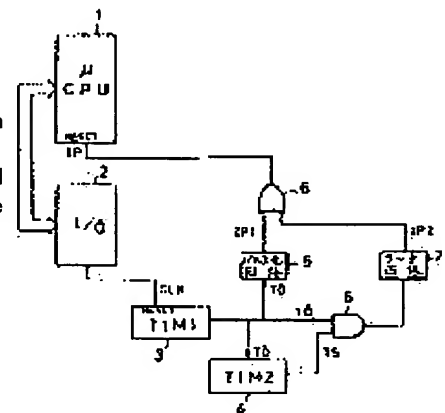
(21)Application number : 01-113313 (71)Applicant : TOSHIBA CORP
(22)Date of filing : 02.05.1989 (72)Inventor : YAMAZAKI NOBUO
OTA KAZUO

(54) ABNORMALITY DETECTION CIRCUIT FOR MICROCOMPUTER

(57)Abstract:

PURPOSE: To securely prevent an influence on a whole system without completely stopping a microcomputer and to improve reliability and practicality in the case of a temporary runaway by installing first and second timer circuits, a pulse circuit or the like.

CONSTITUTION: When the operation clock of an I/O 2 output is interrupted, the first timer 3 starts a clock operation from that time and generates a time out signal TO when a prescribed first time passes. The pulse circuit 5 generates a single initialization pulse IP 1 when the signal TO is generated from the timer 3 and supplies it to a reset terminal in CPU 1 through an OR gate 6. The second timer 4 starts the clock operation when the signal TO is generated. When the signal IP 1 is generated within a prescribed second time, the timer 4 supplies a clock signal TS to a latch circuit 7 through an AND gate 6, and a continuous initialization pulse IP 2 is supplied to the reset terminal of CPU 1. Thus, the influence on the whole system can securely be prevented so as to improve reliability and practicality in the case of the temporary runaway.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

⑫ 公開特許公報(A)

平2-292639

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)12月4日

G 06 F 11/30
1/24
11/143 1 0 B
3 1 0 Q7343-5B
9072-5B
7459-5B

G 06 F 1/00

3 5 0 B

審査請求 未請求 請求項の数 2 (全5頁)

⑮ 発明の名称 マイクロコンピュータの異常検出回路

⑯ 特 願 平1-113313

⑰ 出 願 平1(1989)5月2日

⑱ 発 明 者 山 崎 伸 夫 東京都日野市旭が丘3丁目1番地の1 株式会社東芝日野工場内

⑲ 発 明 者 太 田 和 夫 東京都日野市旭が丘3丁目1番地の1 株式会社東芝日野工場内

⑳ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉑ 代 理 人 弁 理 士 鈴 江 武 彦 外3名

明 細 書

1. 発明の名称

マイクロコンピュータの異常検出回路

2. 特許請求の範囲

(1) マイクロコンピュータが異常状態に陥った時に計時を開始し第1の計時時間内に前記マイクロコンピュータが正常状態に復帰しなかった場合に初期化信号を単発的に発生して前記マイクロコンピュータを初期化する第1のタイマ回路と、

この第1のタイマ回路から発生された初期化信号に応動して計時動作を開始し第2の計時時間内に前記第1のタイマ回路から初期化信号が再度発生された場合に初期化信号を連続的に発生して前記マイクロコンピュータを初期化し続ける第2のタイマ回路とを具備したことを特徴とするマイクロコンピュータの異常検出回路。

(2) マイクロコンピュータが異常状態に陥った時に計時を開始し第1の計時時間内に前記マイクロコンピュータが正常状態に復帰しなかった場合に初期化信号を単発的に発生して前記マイクロコン

ピュータを初期化する第1のタイマ回路と、

前記マイクロコンピュータが異常状態に陥ったときに計時動作を開始し所定の計時時間内に前記第1のタイマ回路から初期化信号が複数回発生された場合に初期化信号に連続的に発生して前記マイクロコンピュータを初期化し続ける第2のタイマ回路とを具備したことを特徴とするマイクロコンピュータの異常検出回路。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明はマイクロコンピュータの暴走や停止等の動作異常を検出するための回路に関する。

(従来技術)

近年、マイクロコンピュータを使用した電子機器が多くなっている。この種の機器においてマイクロコンピュータが暴走等を起こすと、機器自身が誤動作して動作不能状態に陥るばかりか、場合によってはこの動作異常がシステム全体に波及してシステムダウン等に至ることがあり非常に好

ましくない。

そこで、従来では例えばマイクロコンピュータの周辺回路の一つとしてWatch dog timer と呼ばれるタイマ回路を設け、このタイマ回路によりマイクロコンピュータの暴走を検出して初期化信号を発生し、これによりマイクロコンピュータの動作状態を初期化するようにしている。

(発明が解決しようとする課題)

ところが、この様な従来の回路は、マイクロコンピュータが暴走する毎に初期化信号を発生するだけのものであるため、例えばマイクロコンピュータのハードウェアに暴走の原因がある場合には、マイクロコンピュータの暴走とタイマ回路による初期化とがただ単に繰り返されることになり、この結果異常状態がシステム全体に波及することを完全に防止することができなかった。

これを防止するために、タイマ回路が一度初期化動作を行なうと、以後マイクロコンピュータを強制的に完全停止状態に設定することも考えられている。しかしながらこの様に構成すると、屋外

機器ではマイクロコンピュータが雷害や過大ノイズなどにより一時的に暴走した場合でも、それ以後は強制的に完全停止状態になってしまうため、実用に適さなかった。

そこで本発明は上記事情に著目し、一過性の暴走の場合にはマイクロコンピュータを完全停止に至らしめず、しかも再現性のある暴走が発生した場合には確実に完全停止させ得るようにし、これによりシステム全体への波及を確実に防止して信頼性を高めかつ実用性を高め得るマイクロコンピュータの異常検出回路を提供することを目的とする。

[発明の構成]

(課題を解決するための手段)

本発明は、マイクロコンピュータが異常状態に陥った時に計時を開始し第1の計時時間内に上記マイクロコンピュータが正常状態に復帰しなかった場合に初期化信号を単発的に発生して上記マイクロコンピュータを初期化する第1のタイマ回路に加えて、第2のタイマ回路を設け、この第2

(作 用)

この結果本発明によれば、雷害や過大ノイズなどが原因となる一過性の暴走が発生した場合には、マイクロコンピュータは第1のタイマ回路により通常の初期化が行われて正常動作状態に戻ることにになり、これによりシステムを完全停止に至らしめることがなくなつて実用性を確保することが可能となる。またハードウェアの欠陥などが原因となる再現性のある暴走が発生した場合には、第2のタイマ回路によりマイクロコンピュータは完全停止状態に設定されることにになり、これによりマイクロコンピュータの暴走とその初期化とが繰り返される不具合はなくなる。したがって、この様な動作異常がシステム全体に波及することを確実に阻止することができ、これにより回路の信頼性を高めることができる。

(実施例)

第1図は、本発明の一実施例における異常検出回路の構成を示すものである。同図において、1はマイクロコンピュータの中核部を成すマイク

のタイマ回路により、上記第1のタイマ回路から初期化信号が発生されたときに計時動作を開始して、その計時時間内に上記第1のタイマ回路から初期化信号が再度発生された場合に、初期化信号を連続的に発生して上記マイクロコンピュータを初期化し続けるようにしたものである。

また別の本発明は、マイクロコンピュータが異常状態に陥った時に計時を開始し第1の計時時間内に上記マイクロコンピュータが正常状態に復帰しなかった場合に初期化信号を単発的に発生して上記マイクロコンピュータを初期化する第1のタイマ回路に加えて、第2のタイマ回路を設け、この第2のタイマ回路により、上記マイクロコンピュータが異常状態に陥ったときに計時動作を開始し、所定の計時時間内に上記第1のタイマ回路から初期化信号が複数回発生された場合に初期化信号に連続的に発生して上記マイクロコンピュータを初期化し続けるようにしたものである。

ロプロセッサ(CPU)であり、また2はその入出力ポート(I/O)を示している。このI/O 2は、CPU1が正常動作している期間には動作クロックCLKを常に出力しており、CPU1が暴走や停止などの異常状態に陥るとこの動作クロックCLKの出力を停止するように構成されている。

さて、本実施例の異常検出回路は第1のタイマ3と、第2のタイマ4とを有している。第1のタイマ1は、上記I/O 2から動作クロックCLKが出力されている期間には、この動作クロックCLKにより計時動作が常にリセットされており、上記動作クロックCLKが断となると、その時点から計時動作を開始して所定の第1の時間 t_1 が経過した時点でタイムアウト信号TOを発生するものである。そして、このタイムアウト信号TOをパルス化回路5に供給している。このパルス化回路5は、上記第1のタイマ回路3からタイムアウト信号TOが発生された時に単発的な初期化パルスIP1を発生し、この初期化パルスIP1を

オアゲート6を介して前記CPU1のリセット端子に供給している。

一方第2のタイマ4は、上記第1のタイマ3からタイムアウト信号TOが発生された時点で計時動作を開始し、この時点から予め設定した第2の時間 t_2 が経過するまでの期間に連続的に“H”レベルの計時信号TSを発生するものである。そして、この計時信号TSをアンドゲート7に供給している。このアンドゲート7は、上記第2のタイマ4から計時信号TSが発生されている期間中にゲート開状態となり、この状態で第1のタイマ3から発生されるタイムアウト信号TOを通過させてラッチ回路8に供給する。このラッチ回路8は、上記タイムアウト信号TOが供給されると、このタイムアウト信号TOをラッチしたのち連続した初期化パルスIP2として、前記オアゲート6を介してCPU1のリセット端子に供給している。

この様な構成であるから、CPU1が正常動作している期間には、I/O 2からは動作クロック

CLKが常に出力されているため、第1のタイマ3は非動作状態になっている。

この状態で、いま仮にCPU1が暴走し始めたとする、I/O 2からの動作クロックCLKは断となり、これにより第1のタイマ3は計時動作を開始する。そして予め設定した所定期間 t_1 が経過すると、第1のタイマ3から第2図に示す如くタイムアウト信号TOが出力され、この結果パルス化回路5からは初期化パルスIP1が出力されて、CPU1はこの初期化パルスIP1によりイニシャルリセットされる。したがって、CPU1は再び正常動作状態に復帰する。また、上記第1のタイマ3からタイムアウト信号TOが出力されると、第2のタイマ4は第2図に示す如く計時動作を開始して“H”レベルの計時信号(パルス出力時間 t_2)を出力する。このため、アンドゲート7は上記 t_2 の期間ゲート開状態となる。

ところで、いま例えばCPU1の暴走の原因が、ハードウェアの欠陥などの暴走が繰り返されるものであったとすると、しばらくしてCPU1は再

び暴走し始める。そうすると第1のタイマ3は再び計時動作を開始し、第2図示す如く所定期間 t_1 が経過した時点でタイムアウト信号TOを出力する。このタイムアウト信号TOは、開状態となっている上記アンドゲート7を通過してラッチ回路8に供給される。このため、ラッチ回路8からは第2図に示す如く連続した初期化パルスIP2が出力され、この初期化パルスIP2はオアゲート6を介してCPU1のリセット端子に供給される。したがってCPU1は再びイニシャルリセットされ、しかもこのイニシャルリセット状態は上記初期化パルスIP2が連続パルスであるためそのまま保持される。この結果、CPU1が暴走と初期化とを繰り返す不具合は防止される。

一方、CPU1の暴走の原因が例えば雷害などの一過性のものだったとすると、CPU1は一度暴走状態に陥っても、第1のタイマ3によりイニシャルリセットされたのちは再び暴走することは先ずない。このため、第3図に示す如く第2のタイマ4の計時時間 t_2 内に第3のタイマ3からタ

タイムアウト信号TOが発生されることはなく、この結果ラッチ回路8からは初期化パルスIP2は発生されない。したがって、CPU1は強制的にイニシャルリセット状態に設定されることはなく、正常動作状態が保持される。

この様に本実施例であれば、CPU1が暴走する毎に通常のイニシャルリセット動作を行う第1のタイマ3に加えて、第2のタイマ4を設け、上記第1のタイマ3からタイムアウト信号が出力され時点で第2のタイマ4に計時動作を開始させ、この第2のタイマ4の計時時間t2に上記第1のタイマ3から再度タイムアウト信号TOが出力された時に、ラッチ回路8から連続的な初期化パルスIP2を発生させてCPU1をイニシャルリセットするとともに、この状態を保持するようにしたので、CPU1の暴走原因がハードウェアの欠陥などのような暴走が繰り返されるものだった場合には、CPU1をイニシャルリセット状態に保持して暴走と初期化とが繰り返されないようにすることができる。したがって、CPU1の動作異

常により機器が誤動作してひいてはシステムダウンに至る不具合を確実に防止することができる。また、CPU1の暴走原因が雷害などの一過性のものだった場合には、CPU1をイニシャルリセットして正常状態に復帰させるだけで、完全リセット状態を設定しないようにすることができる。したがって、CPU1が一過性の原因により暴走する毎に完全動作停止状態になる不具合は防止され、また例えばその都度保守員が点検して立ち上げ操作などを行うことも不要となる。

尚、本発明は上記実施例に限定されるものではない。例えば、上記実施例では第2のタイマ4を第1のタイマ3のタイムアウト信号TOに応動して動作させるようにしたが、I/O2から動作クロックCLKが供給されなくなった時点から動作させ、その計時動作中に第1のタイマ3から2度タイムアウト信号TOが発生されたときに初期化パルスIP2を発生させてCPU1を完全動作停止状態に設定するようにしてもよい。また、その際第1のタイマ3から発生されるタイムアウト信

号の数は3以上に設定してもよい。その他、第1のタイマ回路および第2のタイマ回路の回路構成などについては、本発明の要旨を逸脱しない範囲で種々変形して実施できる。

〔発明の効果〕

以上詳述したように本発明は、マイクロコンピュータが異常状態に陥った時に計時を開始し第1の計時時間内に上記マイクロコンピュータが正常状態に復帰しなかった場合に初期化信号を単発的に発生して上記マイクロコンピュータを初期化する第1のタイマ回路に加えて、第2のタイマ回路を設け、この第2のタイマ回路により、上記第1のタイマ回路から初期化信号が発生されたときに計時動作を開始して、その計時時間内に上記第1のタイマ回路から初期化信号が再度発生された場合に、初期化信号を連続的に発生して上記マイクロコンピュータを初期化し続けるようにするか、またはマイクロコンピュータが異常状態に陥った時に計時を開始し第1の計時時間内に上記マイクロコンピュータが正常状態に復帰しなかった場合

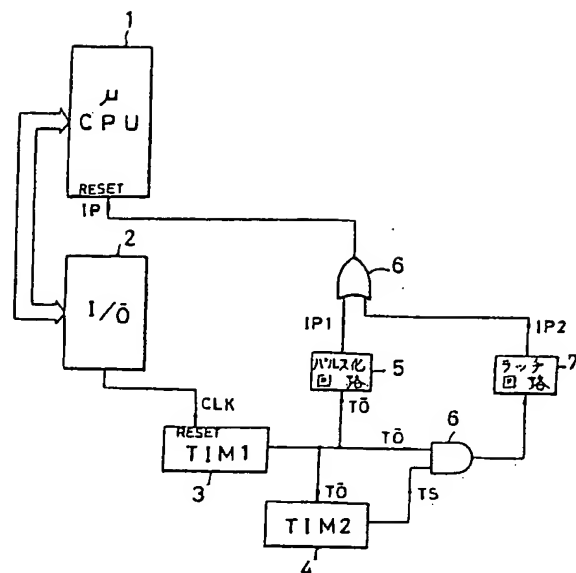
に初期化信号を単発的に発生して上記マイクロコンピュータを初期化する第1のタイマ回路に加えて、第2のタイマ回路を設け、この第2のタイマ回路により、上記マイクロコンピュータが異常状態に陥ったときに計時動作を開始し、所定の計時時間内に上記第1のタイマ回路から初期化信号が複数回発生された場合に初期化信号に連続的に発生して上記マイクロコンピュータを初期化し続けるようにしたものである。

したがって本発明によれば、一過性の暴走の場合にはマイクロコンピュータを完全停止に至らしめず、しかも再現性のある暴走が発生した場合には確実に完全停止させることができ、これによりシステム全体への波及を確実に防止して信頼性を高めかつ実用性を高め得るマイクロコンピュータの異常検出回路を提供することができる。

4. 図面の簡単な説明

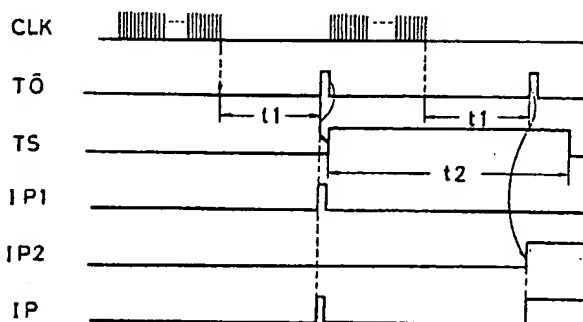
第1図は本発明の一実施例における異常検出回路の回路構成図、第2図および第3図は同回路の動作説明に使用するタイミング図である。

1…マイクロプロセッサ (CPU)、2…入出力ポート (I/O)、3…第1のタイマ、4…第2のタイマ、5…パルス化回路、6…オアゲート、7…アンドゲート、8…ラッチ回路、CLK…動作クロック、T0…第1のタイマのタイムアウト信号、TS…第2のタイマの計時信号、IP1…単発的な初期化パルス、IP2…連続的な初期化パルス。

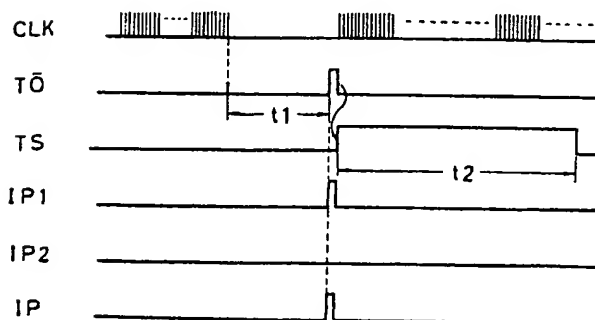


出願人代理人 弁理士 鈴江武彦

第1図



第2図



第3図

THIS PAGE BLANK (USP 10)